

## Lab-1 双口 SRAM 的 VerilogHDL 代码描述

### 一、题目

请使用 VerilogHDL 描述一个双口 SRAM 及其 testbench，需要满足以下规格：

1、接口如下表所示：

引脚名称	I/O	位宽	功能说明	
rst_n	I	1	全局复位信号，低电平复位	
clk_a	I	1	时钟 a	通道 a 的相关端口
en_a	I	1	使能信号 a，高电平工作	
wea	I	1	读写使用 a，高电平使能写；低电平使能读	
addra	I	8	地址 a	
data_in_a	I	16	数据输入端口 a	
data_out_a	O	16	数据输出端口 a	
clk_b	I	1	时钟 b	通道 b 的相关端口
en_b	I	1	使能信号 a，高电平工作	
web	I	1	读写使用 b，高电平使能写；低电平使能读	
addrb	I	8	地址 b	
data_in_b	I	16	数据输入端口 b	
data_out_a	O	16	数据输出端口 b	

2、通道 a 和通道 b 均支持可读可写。

**3、两个通道可同时读写，注意对同一地址的读写冲突处理。**

4、testbench 中需支持通过对 txt 文件读写来模拟 SRAM RTL 代码对数据的读写行为。

### 二、随堂验收

- 完成 RTL、testbench 代码。
- 实现单通道读写、双通道并行读写，波形和 txt 读写都正确。

### 三、下周提交文件

- 1) RTL 代码；
- 2) testbench 代码；
- 3) word 一份；word 中记录本组所有成员的学号、姓名；文中贴上仿真波形图；波形图可以不止一张，请给出每张波形图的简要文字说明。