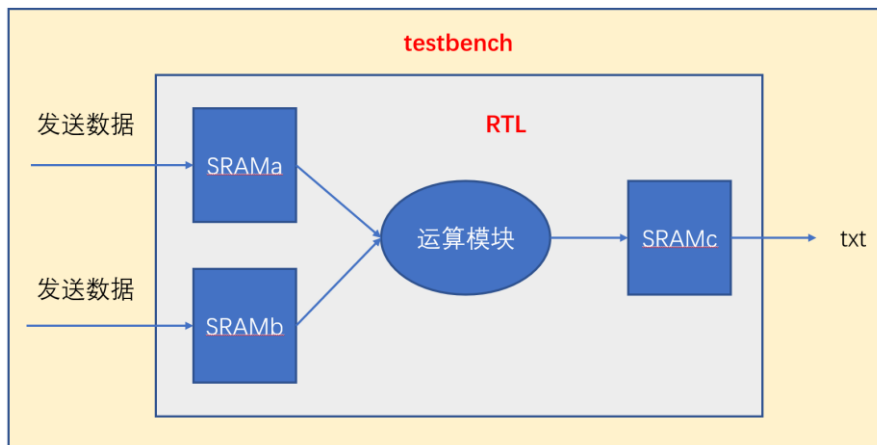


## Lab-2 矩阵乘法的 VerilogHDL 代码描述

### 一、题目

请使用 VerilogHDL 描述一个矩阵乘法 RTL 代码及其 testbench，需要满足以下功能：



- 从矩阵 a 中取 data\_in1, 从矩阵 b 中取 data\_in2, 完成两个矩阵相乘并将计算结果 data\_out 写入矩阵 c;
- 矩阵 a、b、c 规模均为  $2 \times 2$ , 三个矩阵均**必须**调用真**双端口 SRAM IP** 完成;
- data 数据位宽为 16bit, 无符号数;
- 矩阵 a、b 的取数为时序电路形式, 需花费 **1 个时钟周期**;
- 矩阵相乘结果以时序形式写入矩阵 c, 计算需花费 **1 个时钟周期**。
- 矩阵 a、b 中存放的数值均由 testbench 写入, 数据可来自 txt, 也可在 testbench 中指定, 但必须支持数据更改, **不可以直接在 RTL 代码中写固定数值**;
- 矩阵 c 中的计算结果可以通过 testbench 写入 txt 中;
- 可使用状态机, 也可以不使用, 根据同学们自己习惯进行设计。
- 注意: 三个存储器的分别使用三个时钟, 建议在 testbench 中将时钟、相位等设为全部相同
- **代码必须可综合**

1、RTL 接口如下表所示 (**仅供参考, 可根据实际情况进行更改**):

引脚名称	I/O	位宽	功能说明	
rst_n	I	1	全局复位信号, 低电平复位	
clk_a	I	1	时钟 a	存储器 a 的相关端口
en_a	I	1	使能信号 a, 高电平工作	
wea	I	1	读写使用 a, 高电平使能写; 低电平使能读	
addra	I	8	地址 a	
data_in_a	I	16	数据输入端口 a	
data_out_a	O	16	数据输出端口 a	
clk_b	I	1	时钟 b	存储器 b 的相关端口
en_b	I	1	使能信号 b, 高电平工作	
web	I	1	读写使用 b, 高电平使能写; 低电平使能读	

addrb	I	8	地址 b	
data_in_b	I	16	数据输入端口 b	
data_out_a	O	16	数据输出端口 b	
clk_c	I	1	时钟 c	存储器 c 的相关端 口
en_c	I	1	使能信号 c, 高电平工作	
wec	I	1	读写使用 c, 高电平使能写; 低电平使能读	
addrc	I	8	地址 c	
data_in_c	I	16	数据输入端口 c	
data_out_c	O	16	数据输出端口 c	

## 二、随堂验收

- 完成 RTL、testbench 代码。
- 实现上述要求的功能