

RTL 设计题：每道题 20 分钟

题目 1：给定串行输入的任何 16bit 数据，请设计一种检测电路，其输出结果为该 16bit 数据中含有“1”的个数。例如：输入 0000_0000_0000_1000，输出结果为 1；输入 1000_0000_0000_1000，输出结果为 2。注意：图 1 中所示的时序图。

题目说明：

- 1) 在输入使能信号 EN=1 的当前周期，开始输入待测数据的最高 bit 位，此后共连续 16 个周期完成待测数据的输入，时序图如图 1 所示；
- 2) 给定的 testbench 中有 20 个数据。评分基本要求：这 20 个数据的结果要正确。批改时，会更换 20 个新的数据进行测试。
- 3) 请不要修改提供的 testbench；
- 4) 请不要修改提供的 RTL 文件中的接口定义部分。

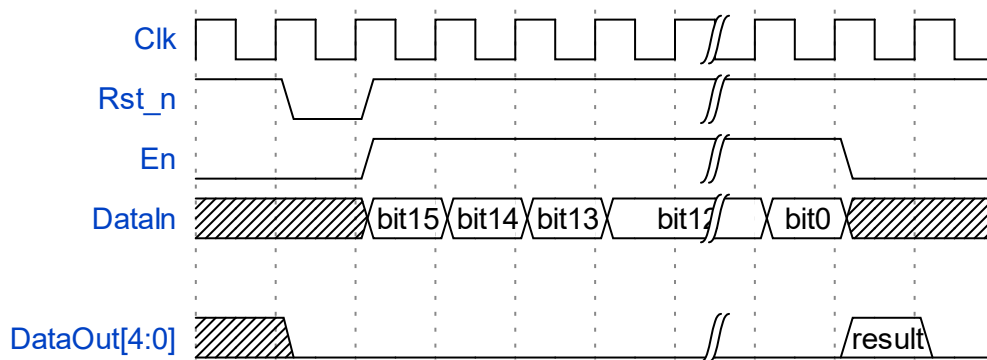


图 1

提交文件说明，将以下文件打包压缩后上传，压缩包命名为“**学号+姓名**”：

- 1) RTL 代码；（**不要修改 module 名称**）
- 2) 如果有自己写的更全面的 testbench 也可以一起提交，但是不可以更改代码接口和时序；
- 3) 不可以更改 data.txt 存放的文件相对路径；
- 4) 波形仿真结果截图。输出结果信号在波形窗口要设置为无符号数。
- 5) 生成的 result 的 txt 文件；（**请不要修改 testbench 中规定的 txt 中文字输出的格式**）

注意：

- 提交之前注意检查压缩包中文件**是否有漏掉的**，压缩包**文件名**是否正确。
- **不要修改 testbench，也不要修改提供的 RTL 代码文件接口！**
- 提交的文件主要包括：1 个压缩包，含 1 个代码、1 个 txt、一个波形截图。
- 总结：除了编写核心的 RTL 代码，其他都不要修改。

题目 2：给定一个 16bit 并行输入的任何 16bit 数据，请设计一种检测电路，其输出结果为该 16bit 数据的前导零个数，即检测最高 bit 位的“1”的前面（更高比特位）有几个零。比如：输入 0100_0000_0000_1000，输出结果为 1；输入 0001_0000_0000_1000，输出结果为 3。注意：不需要实时输出已进入数据的检测结果。**要求：1 个周期输出检测结果，参考时序图。**

题目说明：

- 1) 在输入使能信号 EN=1 的当前周期，并行输入待测数据，时序图如图 2 所示；
- 2) 给定的 testbench 中有 20 个数据。评分基本要求：这 20 个数据的结果要正确。批改时，会更换 20 个新的数据进行测试。

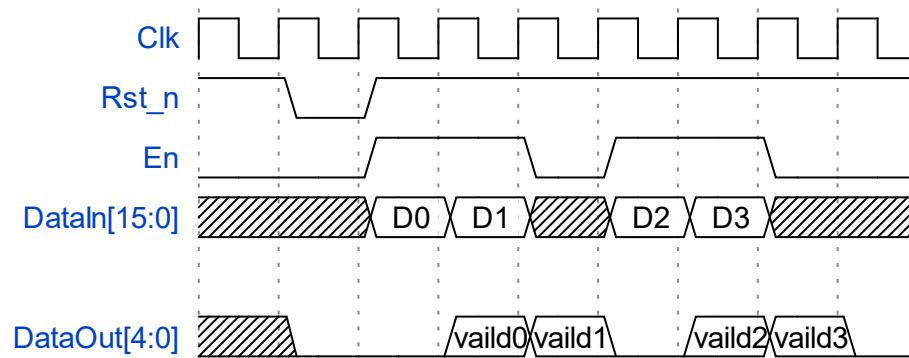


图 2

提交文件说明，将以下文件打包压缩后上传，压缩包命名为“**学号+姓名**”：

- 1) RTL 代码；（**不要修改 module 名称**）
- 2) 如果有自己写的更全面的 testbench 也可以一起提交；但是不可以更改代码接口和时序；
- 3) 不可以更改 data txt 存放的文件相对路径；
- 4) 波形仿真结果截图。输出结果信号在波形窗口要设置为无符号数。
- 5) 生成的 result 的 txt 文件；（**请不要修改 testbench 中规定的 txt 的格式**）

注意：

- 提交之前注意检查压缩包中文件**是否有漏掉的**，压缩包**文件名**是否正确。
- **不要修改 testbench，也不要修改提供的 RTL 代码文件接口！**
- 提交的文件主要包括：1 个压缩包，含 1 个代码、1 个 txt、一个波形截图。
- 总结：除了编写核心的 RTL 代码，其他都不要修改。

题 3：针对题目 1，请画出已提交代码的电路设计框图；注意：不是软件流程图。请说明该电路的优缺点，若有改进思路或者多种方案都可以列出。