**考试时间：45分钟。**

给定并行输入的任意4个4bit数据，请设计一种检测电路，其输出结果为该输入4个无符号数从大到小序列。例如：输入0001，0010，0011，0100，输出结果为0100，0011，0010，0001；注意：图1中所示的时序图。

题目说明：

1. 在输入使能信号enable=1的当前周期，并行输入待测数据，通过in0,in1,in2,in3并行输入4个数据，下一个周期输出结果，并且将valid置位1；enable=0的时候，不会进行排序，此时输出端口max0, max1,max2,max3全输出0，valid置为0，时序图如图1所示；
2. 给定的testbench中有4组数据。评分基本要求：这4组数据的结果要正确。
3. 请不要修改提供的testbench；
4. 请不要修改提供的RTL文件中的接口定义部分。

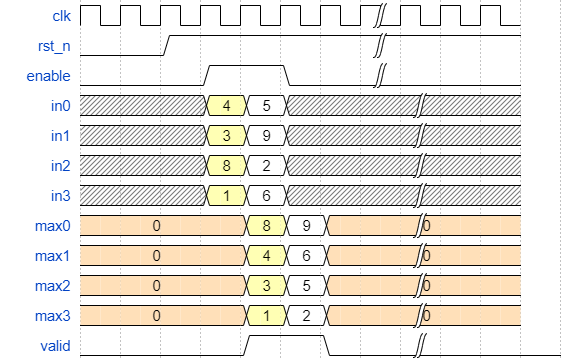


图1

**提交文件说明，将以下文件打包压缩后上传，压缩包命名为“学号+姓名”：**

1. RTL代码；（不要修改module名称）
2. 不可以更改data txt存放的文件相对路径；
3. 波形仿真结果截图。输出结果信号在波形窗口要设置为无符号数。
4. 生成的result的txt文件；（请不要修改testbench中规定的txt中文字输出的格式）
5. 逻辑综合时序约束：50MHz。逻辑综合时序报告、面积报告、功耗报告。

**注意：**

* 提交之前注意检查压缩包中文件**是否有漏掉**的，压缩包**文件名**是否正确。
* **不要修改testbench，也不要修改提供的RTL代码文件接口！**
* 提交的文件主要包括：1个压缩包，含1个代码、1个txt、一个波形截图。
* 总结：除了编写核心的RTL代码，其他都不要修改。