

# README

1. 在当前 README 文件所在文件夹建立工程，并将 min\_max.v, tb.v 加入你的工程中。
2. 在 min\_max.v 中写入你的 verilog 代码。

```
module min_max(  
    input [3:0] in0,  
    input [3:0] in1,  
    input [3:0] in2,  
    input [3:0] in3,  
    input clk,  
    input rst_n,  
    input enable,  
  
    output reg [3:0] max,  
    output reg [3:0] min,  
    output reg valid  
);  
    //在此书写你的verilog  
endmodule
```

3. 在 modelsim 的 tcl 终端输入 do auto\_run.do, 回车开始仿真, 成功则会打印 TEST PASS, 失败则会打印 TEST FAIL。

[illegible]

4. 仿真结束后会生成 result.txt, 记录仿真中的输入输出结果。

```

1 | | 0th input data = 1 2 3 4
2 | | min = 1 max = 4
3 | |
4 | | 1th input data = 10 13 11 12
5 | | min = 10 max = 13
6 | |
7 | | 2th input data = 10 12 14 13
8 | | min = 10 max = 14
9 | |
10 | | 3th input data = 2 7 8 9
11 | | min = 2 max = 9
12 | |
13 | | 4th input data = 7 3 6 7
14 | | min = 3 max = 7
15 | |

```