# 测试题

给定两组2x2的矩阵，请设计一种运算电路，其输出结果为两组矩阵的矩阵乘法的结果。

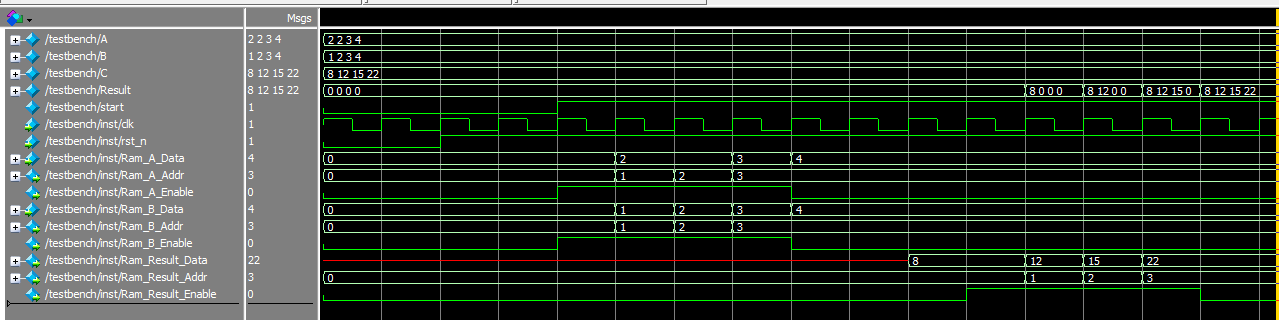
如图所示的矩阵，输出矩阵中：7=1\*1+2\*3；10=1\*2+2\*4；15=3\*1+4\*3；22=3\*2+4\*4。



数据格式：输入矩阵数据均为3 bit，取值范围0-7，输出矩阵数据为6 bit。并且矩阵值均为正数，不考虑负数情况，其它数据位宽自行查看设计文件。

题目说明：

1）输入启动信号start=1时，开始通过Ram\_A\_XXX和Ram\_B\_XXX port读取数据，数据读取完成后计算矩阵乘法，同时通过Ram\_Result\_XXX 输出数据至外部的Bram Result。



2）输入数据文件存储在./data/A.txt与./data/B.txt，要求修改数据后，仍然能计算正确结果。

3）计算周期数不做要求；不要求按照示例波形图示时序输出一模一样的波形，但是结果一定要正确。

4）DC综合时钟约束最低要求20MHz。

5）请不要修改提供的testbench；

6）请不要修改提供的RTL文件中的接口定义部分，但是允许Output port的reg型允许根据情况修改为wire型。

**提交文件说明，将以下文件打包压缩后上传，压缩包命名为“学号+姓名”：**

1) RTL代码；（不要修改module名称）

2) 不可以更改data txt存放的文件相对路径；

3) 波形仿真结果截图。输出结果信号在波形窗口要设置为无符号数。

4) 生成的result的txt文件；（请不要修改testbench中规定的txt中文字输出的格式）

5) 逻辑综合时序约束：20MHz。输出逻辑综合时序报告、面积报告。

注意：

* 提交之前注意检查压缩包中文件是否有漏掉的，压缩包文件名是否正确。
* 不要修改testbench，也不要修改提供的RTL代码文件接口名！
* 提交的文件主要包括：1个压缩包，含1个设计文件代码、1个result.txt、一个波形截图、DC的时序面积等报告的截图。
* 总结：除了编写核心的RTL代码，其他都不要修改。