**题目：智能差分数据处理器 （Differential signal Processor）**

**题目要求**：

设计一个差分数据处理模块，集成以下功能：

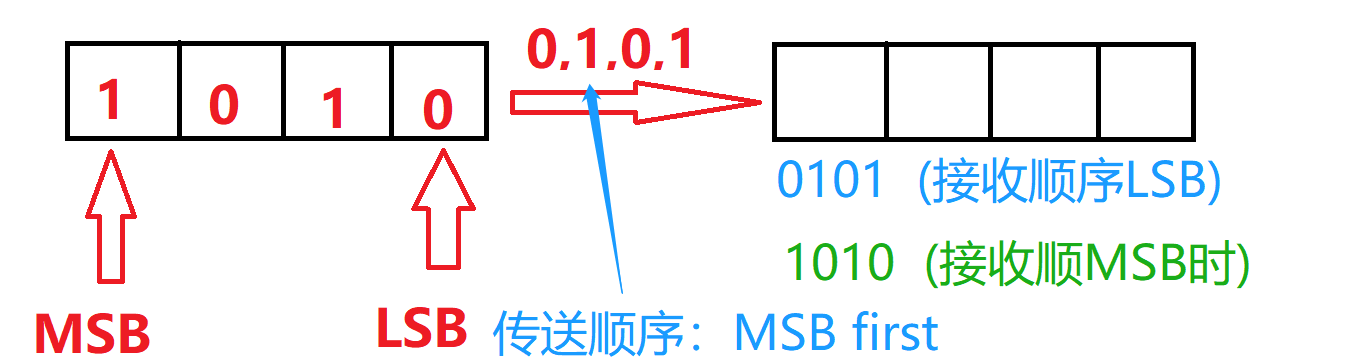
1. 将差分信号DP和DN转换为8-bit parallel data，差分信号以MSB first输入，差分信号输入与clock是同步关系。
2. 根据parallel data解析出正确的syncword（8’h1D），syncword不考虑出现在2T的情况，syncword之后为需要输出的data。
3. Syncword之前会有一段时间的data-0。
4. 输出：

※输出syncword之后的8-bit data，并输出valid信号

※输出syncword\_vld信号

**解释：**

**1\*.MSB first为最高有效位，与此相对的是最低有效位，这种一般都出现在传感器和信息传输中。例如对数据的传输和接收，当以二进制传输数据时，接收和发送的数据方式必须一样。**

****

**Figure 1：MSB与LSB**

**2\*.Syncword（同步字）：是一种特殊的比特序列，在数字通信中用于接收机与发射机之间的同步。通过识别这个特定的比特序列，接收设备能够确定数据帧的开始位置，并与发送设备的时钟同步。**

**3\*.2T：这里的 "T" 是指基本的时间单位。**

**4\*.DP（data positive）和DN（data negative）是常用于传输数据的差分信号对，用于减少噪声干扰，提高数据传输可靠性。DP=1&DN=1表示stop state，线上不传输数据；DP=0&DN=0表示idle state，线上不传输数据；DP=0&DN=1，传输logic-0；DP=1&DN=0，传输logic-1。**

**例：传输data为1D（0001\_1101）时，DP和DN值如下表所示：**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **Bit7** | **Bit6** | **Bit5** | **Bit4** | **Bit3** | **Bit2** | **Bit1** | **Bit0** |
| **Binary** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **1** |
| **DP** | **0** | **0** | **0** | **1** | **1** | **1** | **0** | **1** |
| **DN** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **0** |

**Figure 1：DP，DN与data对应关系**

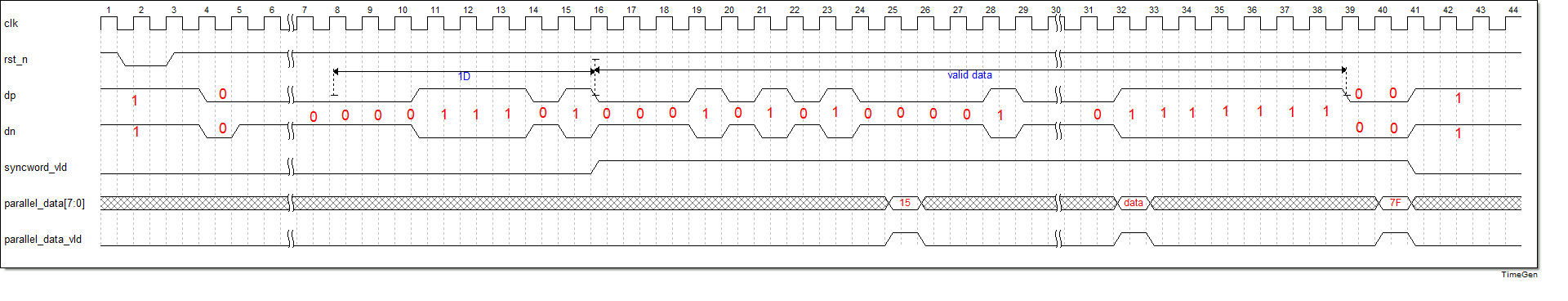
**本题时序图请参考图表1。图中，**

※**stop state之后，发送idle state（DP-0,DN-0），idle state只持续1T，之后为N个byte的data-0(N为随机值)。**

※**Data-0后为syncword（1D），此题中syncword只会出现在1T中，此值不需要通过parallel\_data输出，但需要拉起syncword\_vld信号，此信号在检测到第一个1D后，在第1T拉高，直到出现idle state（DP-0，DN-0），在第2T拉低。**

※**Parallel\_data为有效数据（除data-0及syncword外）输出，在DP和DN发送完整byte数据后，在第2T内输出所接收的parallel\_data,同时拉起parallel\_data\_vld信号。**

※**传输的data-0, syncword, valid data均以byte为单位，不考虑shift的情况（1byte data出现在2T内，比如1D，1出现在前一个byte，D出现在后一个byte，这种情况不考虑）。**



图表 1：时序图

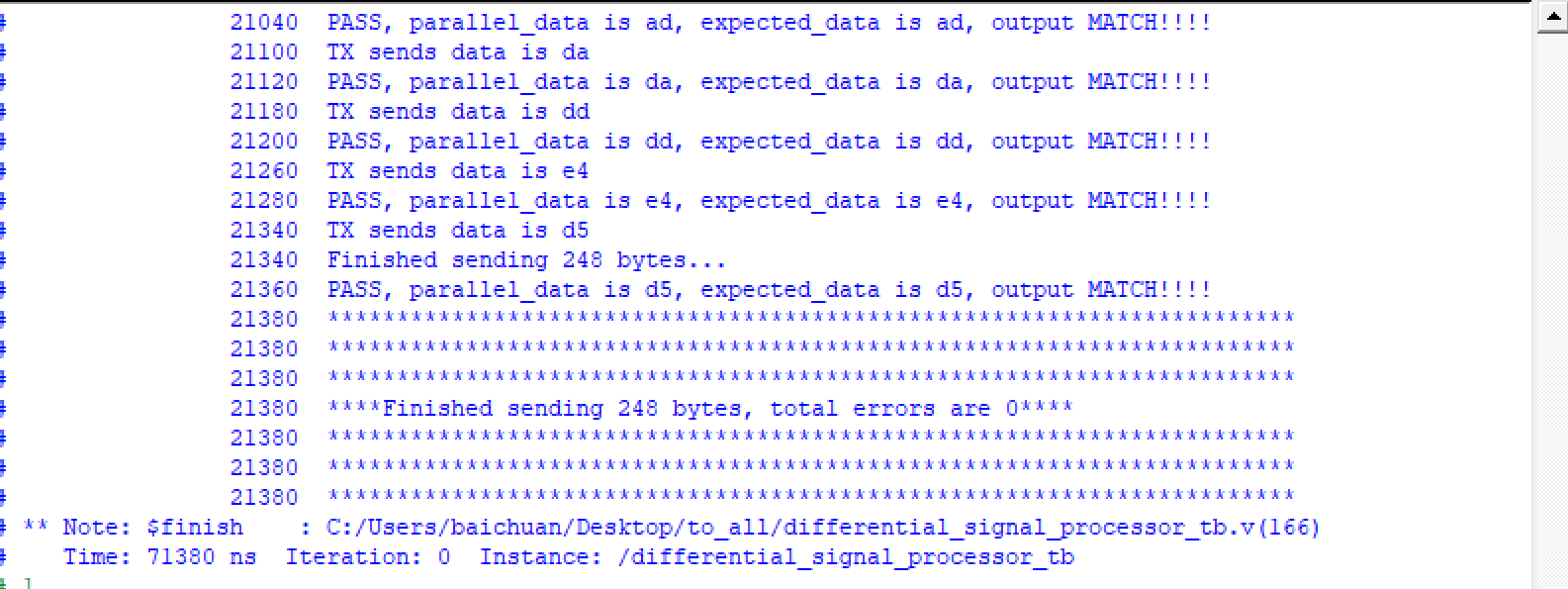
**接口定义请参考图表2，请不要改变文件名称，module名称以及接口名称。**

文本

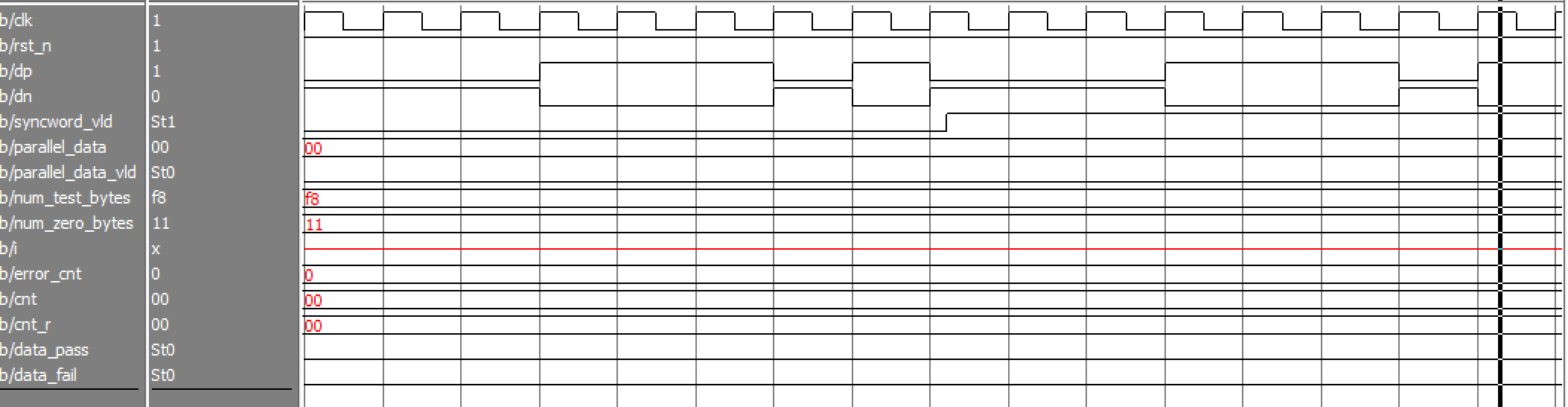
AI 生成的内容可能不正确。

图表 2：接口定义

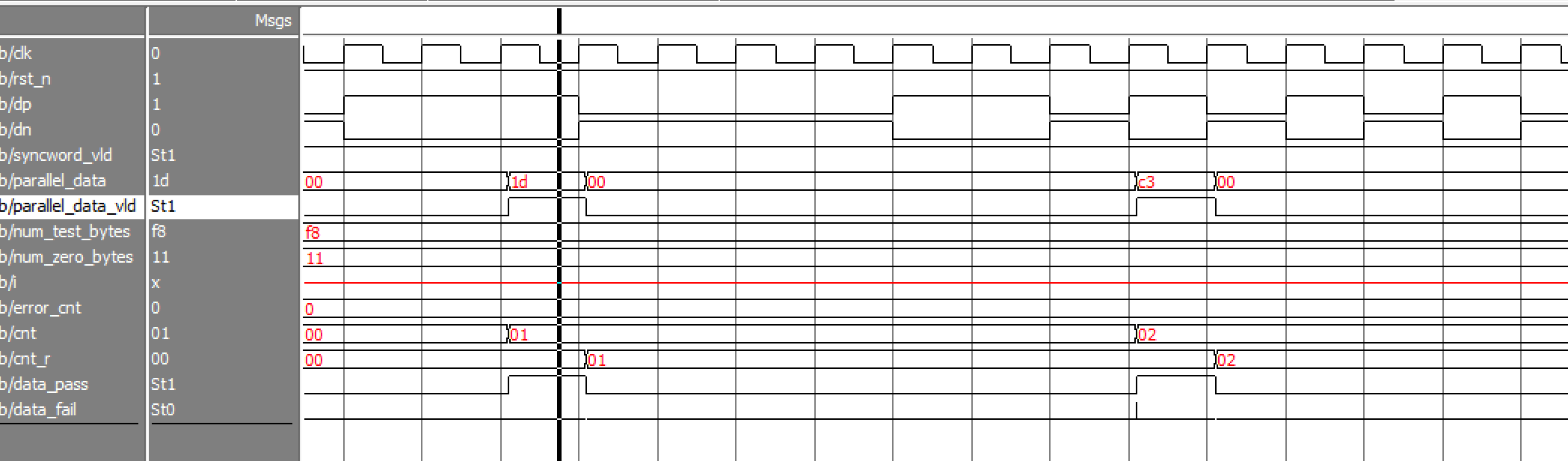
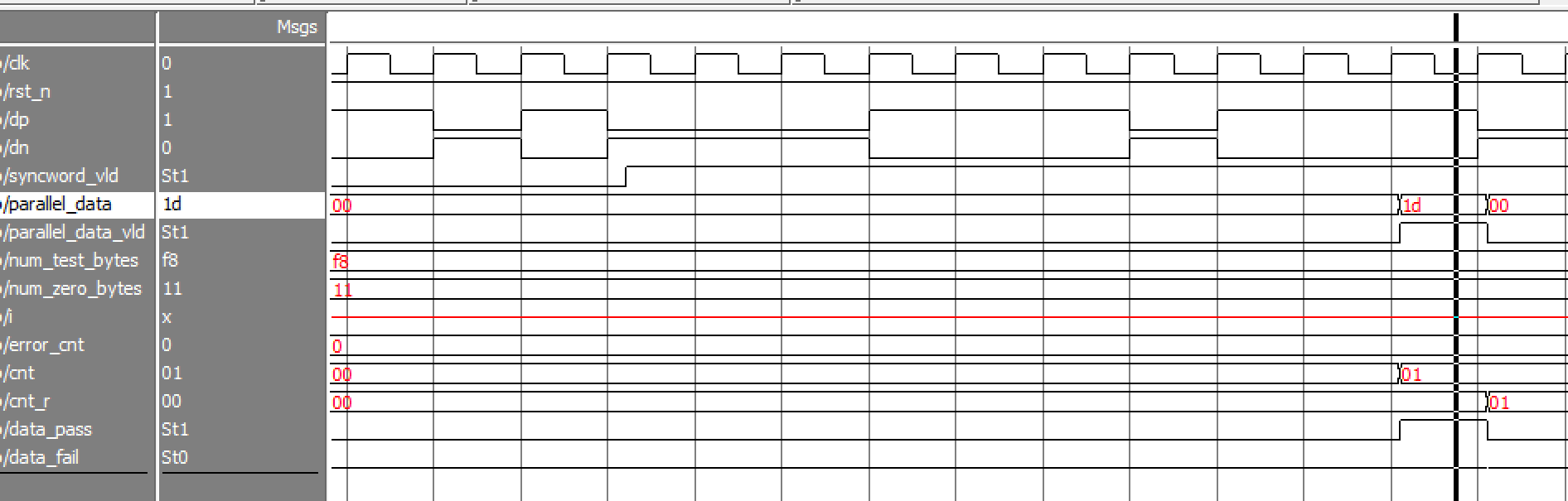
成功运行无错误时，modelsim窗口打印信息：



syncword\_vld拉高：



parallel data和valid的输出：



末尾syncword\_vld拉低：

