

问答题 | 10.0分

如下所示有两个task：

```
task task_A;  
  begin  
    .....
```

end  
endtask: task\_A

```
task task_B;  
  begin  
    .....
```

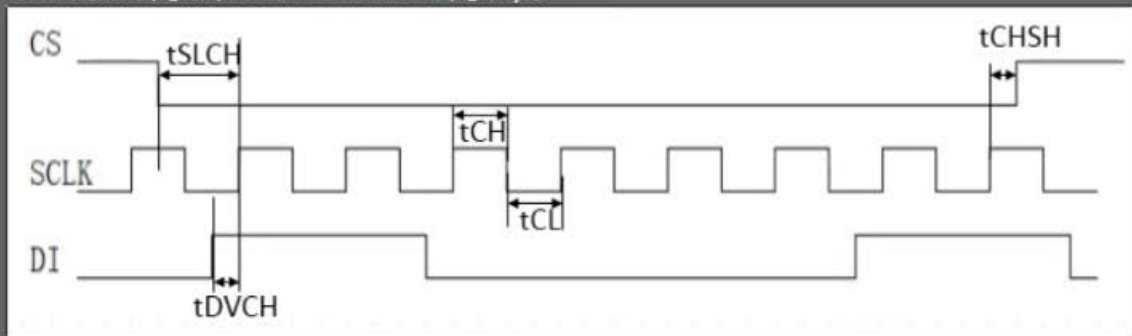
end  
endtask: task\_B

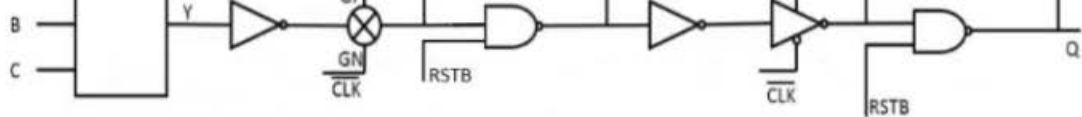
请用System Verilog语言写一段程序，实现以下4个需求：

- (1) task\_A循环10次；
- (2) task\_B循环10次；
- (3) 1) 和2) 同时进行；
- (4) 1) 和2) 任意一个结束，都中断另一个，并执行后续操作。

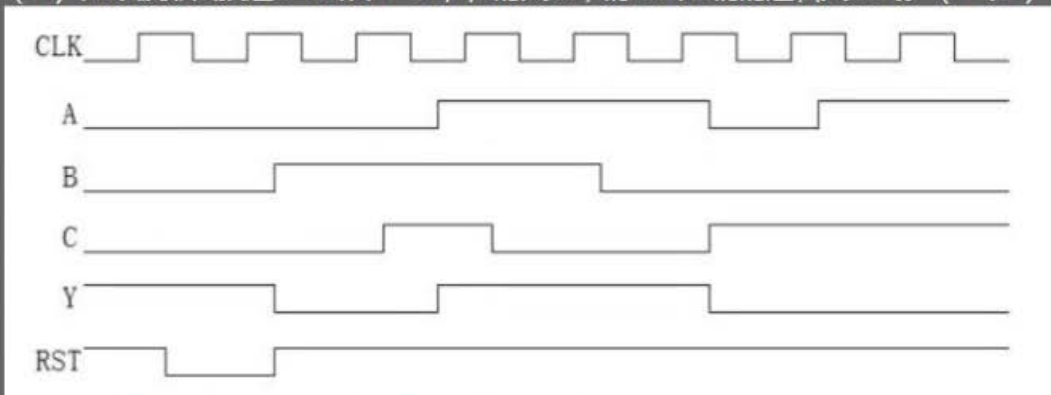
## 问答题 | 10.0分

简述fork join, fork join\_any, fork join\_none三者区别, 并选择合适语句写出下图所示信号激励。(其中CS为片选信号, SCLK为输入时钟, DI为输入数据,  $t_{SLCH}$ 为CS setup时间,  $t_{CHSH}$ 为CS hold时间,  $t_{DVCH}$ 为输入数据setup时间,  $t_{CH}$ 为SCLK高电平周期,  $t_{CL}$ 为SCLK低电平周期)。





(1) 如下波形图描述了电路中Y与A,B,C的关系,请写出它们的逻辑关系式。(10分)



(2) 请使用verilog描述上述电路图的功能。(10分)

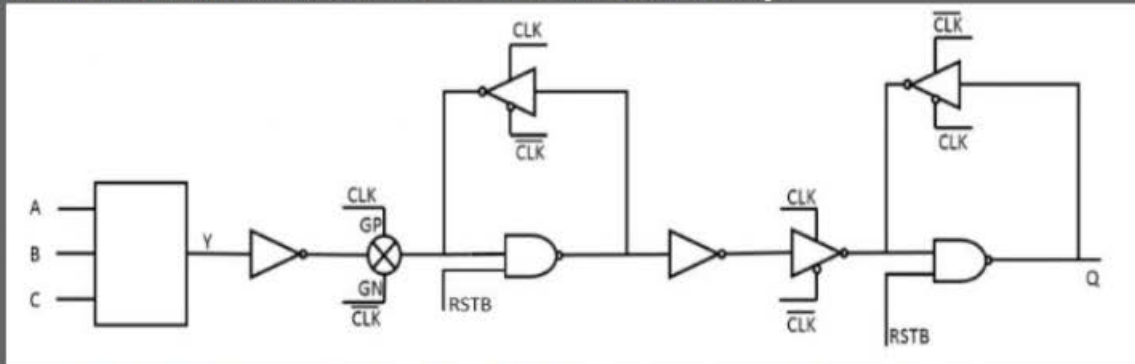
```

module FunQ
(
  input A,
  input B,
  input C,
  input CLK,
  input RSTB,
  output Q
);

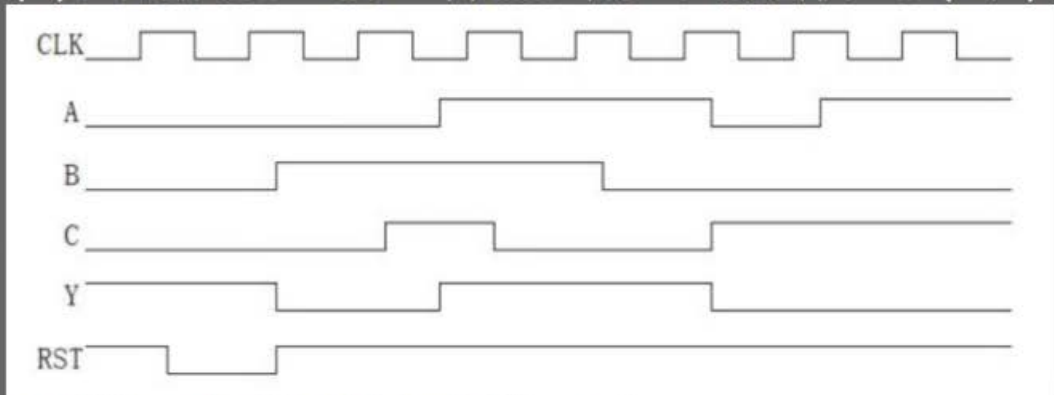
```

问答题 | 20.0分

有一电路如下图所示，输入为A、B、C、CLK、RSTB，输出为Q：



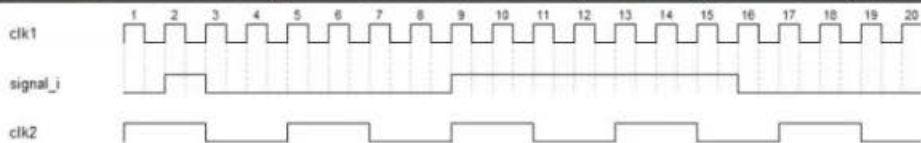
(1) 如下波形图描述了电路中Y与A,B,C的关系，请写出它们的逻辑关系式。(10分)



(2) 请使用verilog描述上述电路图的功能。(10分)

问答题 | 20.0分

clk1, clk2为同步时钟，clk2频率为clk1的整数倍（至少是2倍，上升沿是对齐的）；signal\_i为clk1时钟域信号（单周期或多周期，每个clk2周期内最多出现一个signal\_i上升沿），请通过最简逻辑编写一个模块，实现：clk1每检测到signal\_i的一个上升沿，最早时间输出一个可以被clk2采到的脉冲信号。（代码开头部分已给出，请继续完成）



```
module test (clk1, clk2, rst_n, signal_i, signal_o);  
input  clk1  ;  
input  clk2  ;  
input  rst_n ; //Asynchronous reset (active low)  
input  signal_i ;  
output signal_o ;
```

## 兆易创新 数字设计验证工程师试卷

在线考试

问答题 4/7

问答题 | 20.0分

请用verilog描述1~8分频的时钟分频器，要求其时钟输出占空比为50%且逻辑最简。

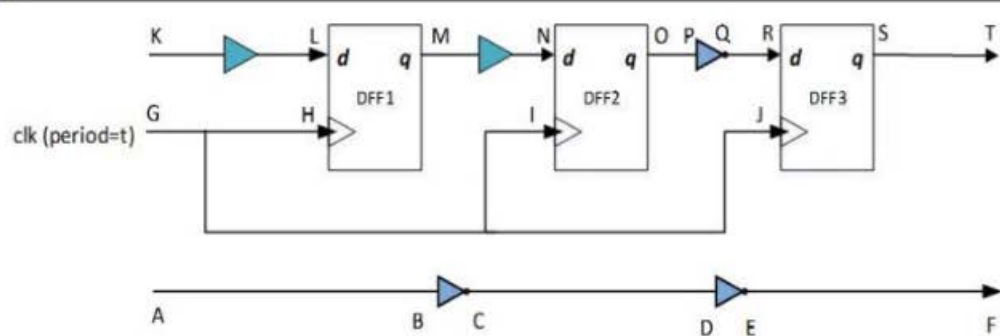
```
module divider
(
  input dk,
  input rst_n,
  input [2:0] divider_num, //0~7 分别对应 1~8分频
  output out_dk
);
```

## 问答题 | 20.0分

有如下所示电路图：

(1) 请找出图中的所有时序路径（指明时序路径的起点和终点），并将这些时序路径分类。（10分）

(2) 针对上述不同类型的时序路径，分别需要施加什么样的时序约束？（时序约束中的数值不限，也可用变量代替）（10分）



有一个宽度16位的buffer，复位后buffer默认空，REQ\_WRITE信号默认为1（表示请求1帧数据填充buffer），该buffer从1bit的串行接口DATA\_IN接受一帧数据，当外部输入信号ACK为1时表明外部数据有效（ACK为DATA\_IN的使能信号）。数据从DATA\_IN输入，每帧数据包含5'b 10110的帧头，紧接着的连续的两个9bit数据都为正常的8bit数据后缀1bit的奇偶校验位（奇偶校验位的格式是8bit数据如果包含偶数个1为1，否则为0），每帧的数据格式如下图所示。把接收到的第一个奇偶校验位正确的8bit数据存放在buffer的低8位（如奇偶校验错误则放弃整帧数据），第二个奇偶校验位正确的8bit数据存放在buffer的高8位（如奇偶校验错误则放弃整帧数据）。16位buffer被填充满后REQ\_WRITE变0且不再接受数据。如果检测到外部输入信号REQ\_READ为1，16位buffer将通过16位端口DATA\_OUT输出，REQ\_WRITE再次变高请求再次从外部DATA\_IN接收新的一帧数据填充buffer。如此循环类推。模块名及端口如下，请补充完整RTL代码实现上述功能。



```

module Buffer
(
    input  clk,
    input  rstn,
    input  DATA_IN,
    input  REQ_READ,
    input  ACK,

    output      REQ_WRITE,
    output[15:0] DATA_OUT
);

```