

# 全志科技 Digital 笔试题

姓名: \_\_\_\_\_ 学校: \_\_\_\_\_  
 本科专业: \_\_\_\_\_ 研究生专业: \_\_\_\_\_  
 联系电话: \_\_\_\_\_

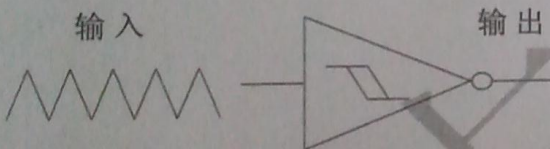
(请将答案写在答题纸上, 交卷时请将试题与答题纸一起交)

1. 下图中为组合逻辑  $Y=f(A,B,C,D)$  的真值表, 请根据此真值表在下列答案中选择  $Y$  的逻辑表达式( )

	AB=00	AB=01	AB=11	AB=10
CD=00	0	0	0	0
CD=01	1	1	1	1
CD=11	0	0	1	1
CD=10	0	0	1	1

- A:  $\bar{C}D + AD$       B:  $AC + D$   
 C:  $AC + \bar{A}D$       D:  $AC + \bar{C}D$

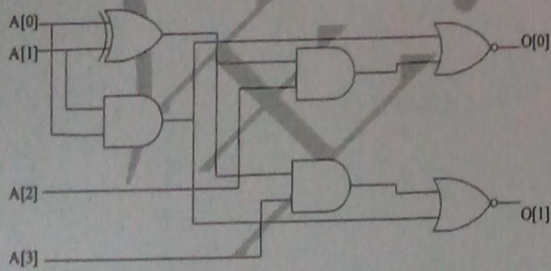
2. 下图中, 在反相器逻辑符号中间的滞回符号, 表示这个器件有 \_\_\_ 输入。



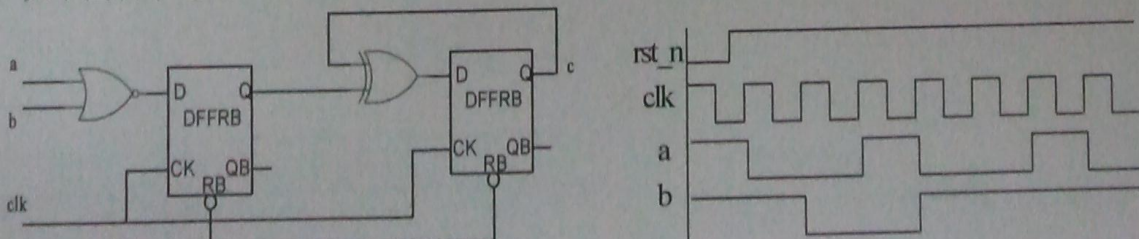
- (A、延迟 B、施密特触发 C、比较 D、饱和)  
 如图中给定的输入, 输出的波形是\_\_\_。  
 (A、正弦波 B、三角波 C、方波 D、直流)

请大致说明这个器件在这个电路中的作用及其工作原理?

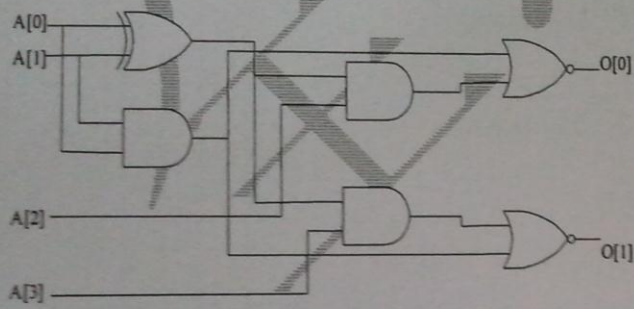
3. 某电路内部逻辑如下图, 请列出其真值表



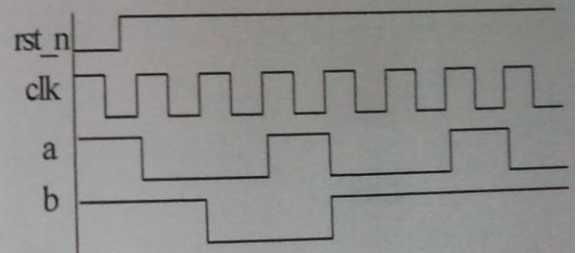
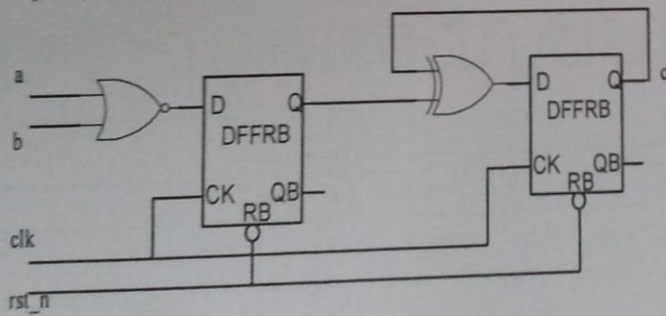
4. 如下图所示电路, 输入波形如下, 请画出 c 点输出波形:



3. 某电路内部逻辑如下图，请列出其真值表



4. 如下图所示电路，输入波形如下，请画出 c 点输出波形：





# 全志科技 Digital 笔试题

姓名: \_\_\_\_\_ 学校: \_\_\_\_\_  
 本科专业: \_\_\_\_\_ 研究生专业: \_\_\_\_\_  
 联系电话: \_\_\_\_\_

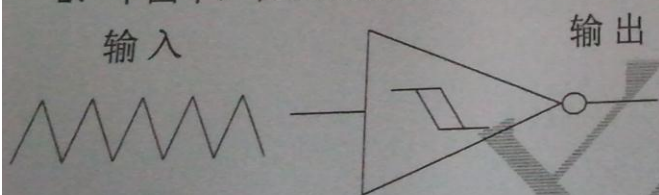
(请将答案写在答题纸上, 交卷时请将试题与答题纸一起交)

1. 下图中为组合逻辑  $Y=f(A,B,C,D)$  的真值表, 请根据此真值表在下列答案中选择 Y 的逻辑表达式( )

	AB=00	AB=01	AB=11	AB=10
CD=00	0	0	0	0
CD=01	1	1	1	1
CD=11	0	0	1	1
CD=10	0	0	1	1

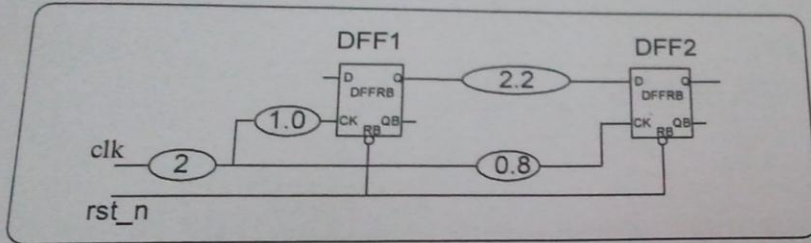
- A:  $\bar{C}D + AD$       B:  $AC + D$   
 C:  $AC + \bar{A}D$       D:  $AC + \bar{C}D$

2. 下图中, 在反相器逻辑符号中间的滞回符号, 表示这个器件有\_\_\_\_\_输入。



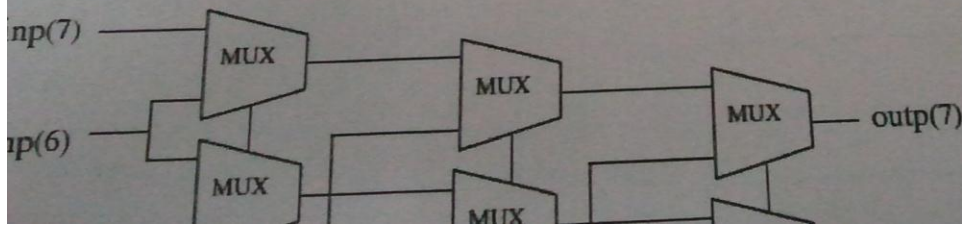
- (A、延迟 B、施密特触发 C、比较 D、饱和)  
 如图中给定的输入, 输出的波形是\_\_\_\_\_。  
 (A、正弦波 B、三角波 C、方波 D、直流)

5. 如下图为某同步电路，DFF1 和 DFF2 的 setup, hold 和 output delay (CK → Q) 时间为 0.6, 0.3 和 1.2 (各时间参数均为 ns)。假设 clk 时钟频率为 250MHz, 请问 DFF2 的 setup 时间和 hold 时间是否满足并说明其原因?

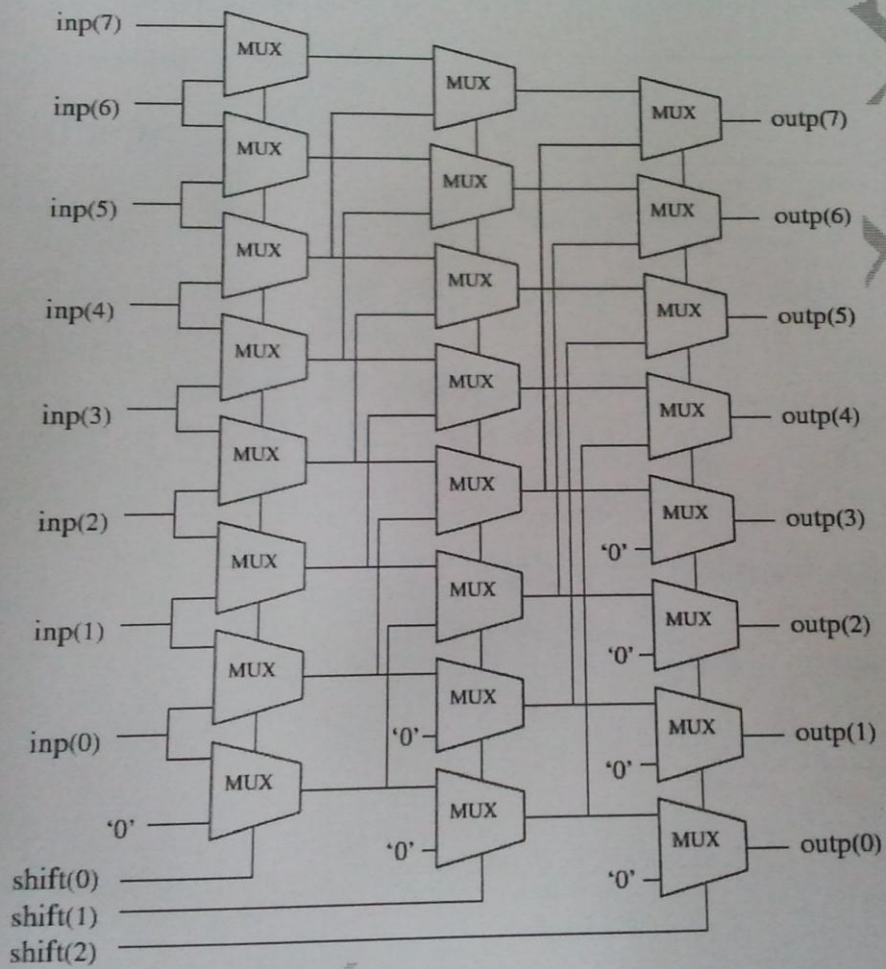


6. 请使用 verilog 描述一个可 N (N=1-8) 分频的时钟分频器, 要求其时钟输出为 50% duty.

下图电路完成什么功能? 并请用硬件描述语言 (Verilog) 实现之。

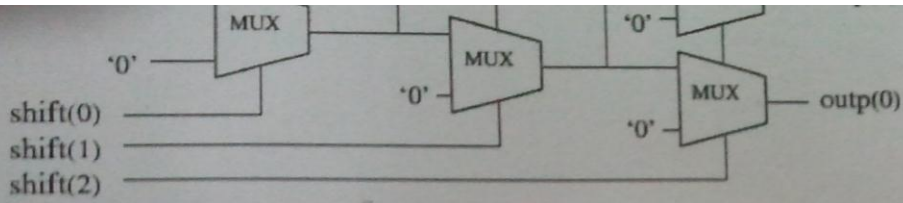


7. 下图电路完成什么功能？并请用硬件描述语言（Verilog）实现之。



`shift(0)`  
`shift(1)`  
`shift(2)`





8. 请用 verilog 设计一个接口转换电路，接口 timing 如下图所示，假设 clka 频率为 clkb 频率的一半（不同源。注意图中 clock 关系仅为示意），且两次有效访问（wra\_n 有效）的间隔时间足够长。

