

要求：英语作答，不能写 Verilog/VHDL（除非要求，其实没有一道允许），必须用门电路或状态机表示。

1. 设计  $A[9:0] * 101.10111$  的电路，要求用尽可能少的门。

2. 设计地址生成器，要求依次输出以下序列：

0,8,2,10,4,12,6,14,1,9,3,11,5,13,7,15,  
16,24,18,26,.....,31,  
32,40,34,42,.....,47,  
48,56,50,58,.....,63,  
64,72,66,76,.....,79

3. 设计一个优先级电路 Status\_A, Status\_B, Status\_C....., 已知 Status\_A 状态优先级大于 Status\_B, Status\_C....., Status\_B 状态优先级大于 Status\_C....., 依此类推。检测出 Status\_A, 则无视其它状态, 否则检测 Status\_B, 依此类推。

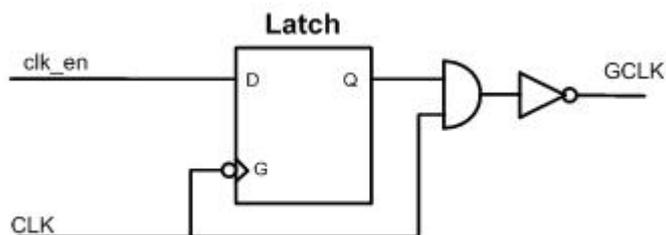
4. 什么是 CTS? 为什么要 CTS

5. ideal 时钟脚本具体电路综合时需要针对性作哪些设置。

6. 问图中 clock gating 有什么问题? 如何改良?

注:这张图是修改后的图, 原图是一个正 latch 或者理解为 FF。

此外, 这张图直接找来的, 最后的那个反相器应该是没有的, 或者前面是 NAND。



8. 温度上升 or 下降时性能下降, 问降低 Vdd 和降低频率去改良首选那种? why?

9. 详细论述为什么 clock gating 可以降低功耗?