

一、请阅读如下时序报告，回答如下问题。

**Startpoint: FF1 (falling edge-triggered flip-flop clocked by Clk)**

**Endpoint: FF2 (rising edge-triggered flip-flop clocked by Clk)**

**Path Group: Clk**

**Path Type: min**

Point	Incr	Path
clock Clk (fall edge)	2.00	2.00
clock network delay (propagated)	0.90*	2.90
FF1/CLK (fdmf1a15)	0.00	2.90 f
FF1/Q (fdef1a15)	0.40*	3.30 f
U2/Y (buf1a27)	0.05*	3.35 f
U3/Y (buf1a27)	0.05 #	3.40 f
FF2/D (fdef1a15)	0.01*	3.41 f
data arrival time		3.41
clock Clk (rise edge)	0.00	0.00
clock network delay (propagated)	1.00*	1.00
FF2/CLK (fdef1a15)		1.00 r
library hold time	0.10*	1.10
data required time		1.10
data required time		1.10
data arrival time		-3.41
slack (MET)		2.31

(1) [共 2 分]请画出该时序路径的示意图；要求画出时钟网络、组合逻辑等部件。

(2) [共 2 分]该时序报告主要检查哪个参数\_\_\_\_\_

A.建立时间    B.保持时间    C. 建立时间和保持时间

(3) [共 2 分] 这条路径的时序是否违例：\_\_\_\_\_

A.是    B.否

(4) [共 2 分] 这个时序报告可能产生于下列哪个阶段：\_\_\_\_\_

A.逻辑综合    B.pre-CTS    C. post-CTS

(5) [共 2 分] 如果占空比为 50%，该时钟的时钟频率为\_\_\_\_\_MHz.

(6) [共 2 分] 这个时序路径的分析基于\_\_\_\_\_case。

A.worst    B.best    C. typical

二、图中电路共有三种标准单元 MUX、BUFFER、DFF，请分析并回答如下问题。

假设标准单元的延迟分别为：

$T_{vin}$ : max delay=8ns; min delay=4ns

$T_{buf}$ : max delay=2ns; min delay=1ns

$T_{mux}$ : max delay=3ns; min delay=1ns

DFF:  $T_{clk-q}$ : max delay=4ns, min delay=1ns ;  $T_{setup}$ : 4ns;  $T_{hold}$ : 1.5ns

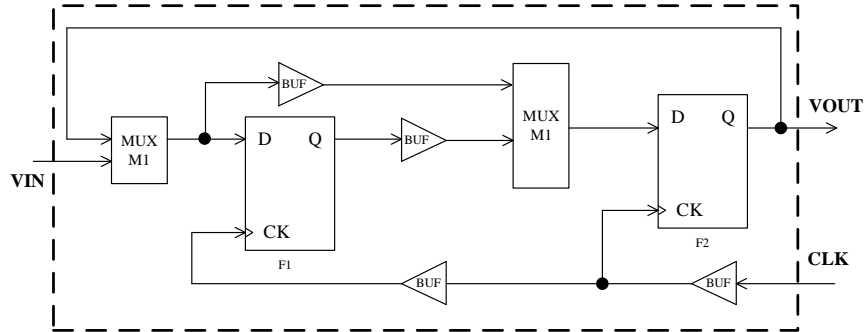


图5

请问：

(1) 请参考图6写出建立时间和保持时间检查的公式 (含发射路径与接收路径的时钟网络延迟)

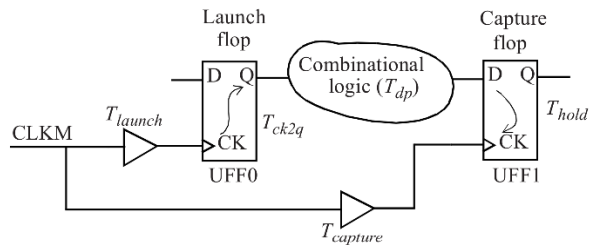


图6

(2) 请给出图5中所有的时序路径。

(3) 基于上述路径，逐条路径分析图5所示的电路是否存在hold time违例？请给出5条路径的分析过程。如果存在hold time违例，如何在不影响电路功能的前提下修复该保持时间违例问题。

(4) 基于上述5条路径，并请指出图5所示电路的关键路径是哪条？最高工作频率是多少。